

日本国特許庁  
JAPAN PATENT OFFICE

23. 3. 2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月28日  
Date of Application:

出願番号 特願2003-090825  
Application Number:  
[ST. 10/C]: [JP 2003-090825]

出願人 株式会社リコー  
Applicant(s):

REC'D 13 MAY 2004

WIPO PCT

BEST AVAILABLE COPY

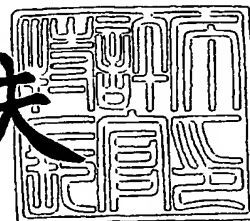
PRIORITY  
DOCUMENT

SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

2004年 4月22日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 188311

【提出日】 平成15年 3月28日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 7/50

【発明の名称】 画像処理装置

【請求項の数】 6

【発明者】

    【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

    【氏名】 門脇 幸男

【特許出願人】

    【識別番号】 000006747

    【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号

    【氏名又は名称】 株式会社リコー

【代理人】

    【識別番号】 100062144

    【弁理士】

    【氏名又は名称】 青山 葆

【選任した代理人】

    【識別番号】 100086405

    【弁理士】

    【氏名又は名称】 河宮 治

【手数料の表示】

    【予納台帳番号】 013262

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

【包括委任状番号】 9808860

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像処理装置

【特許請求の範囲】

【請求項 1】 J P E G 2 0 0 0 の標準に従い、各サブバンドのコードブロックの有意データの有無を表すインクルージョン情報に基づいて T A G 情報を生成する T A G 情報解析部を有する画像処理装置であって、

上記 T A G 情報解析部は、

全レベルのサブバンドのコードブロックよりも少ない数のコードブロックを単位として、所定の順序でコードブロックのインクルージョン情報を受け付け、直ちに対応する T A G 情報を生成して出力する回路であることを特徴とする画像処理装置。

【請求項 2】 請求項 1 に記載の画像処理装置において、

上記 T A G 情報解析部は、レベル 2 及びレベル 3 の全サブバンドのコードブロックのインクルージョン情報、レベル 1 の 1 H L のサブバンドの全コードブロックのインクルージョン情報、1 L H のサブバンドの全コードブロックのインクルージョン情報、並びに、1 H H のサブバンドの全コードブロックのインクルージョン情報を、所定の順序で入力することにより、直ちに対応する T A G 情報を生成して出力する回路であることを特徴とする画像処理装置。

【請求項 3】 請求項 1 又は請求項 2 に記載の画像処理装置において、

更に、J P E G 2 0 0 0 の標準に従い、各サブバンドのコードブロックの上位に位置する全てのビットデータが 0 であるビットプレーン（以下、Z E R O ビットプレーンという）数のデータに基づいて Z E R O - T A G 情報を生成して出力する Z E R O - T A G 情報解析部であって、全レベルのサブバンドのコードブロックよりも少ない数のコードブロックを単位として、所定の順序でコードブロックの Z E R O ビットプレーン数のデータを受け付け、直ちに対応する Z E R O - T A G 情報を生成して出力する回路を備えることを特徴とする画像処理装置。

【請求項 4】 請求項 3 に記載の画像処理装置において、

上記 Z E R O - T A G 情報解析部は、レベル 2 及びレベル 3 の全サブバンドのコードブロックの Z E R O ビットプレーン数のデータ、レベル 1 の 1 H L のサブ

バンドの全コードブロックの ZERO ビットプレーン数のデータ、1 LH のサブバンドの全コードブロックの ZERO ビットプレーン数のデータ、並びに、1 HH のサブバンドの全コードブロックの ZERO ビットプレーン数のデータを、所定の順序で入力することにより、直ちに対応する ZERO-TAG 情報を生成して出力する回路であることを特徴とする画像処理装置。

【請求項 5】 J P E G 2 0 0 0 の標準に従い、各サブバンドのコードブロックの上位に位置する全てのビットデータが 0 であるビットプレーン（以下、ZERO ビットプレーンという）の数に基づいて ZERO-TAG 情報を生成して出力する ZERO-TAG 情報解析部を備える画像処理装置であって、

上記 ZERO-TAG 情報解析部は、全レベルのサブバンドのコードブロックよりも少ない数のコードブロックを単位として、所定の順序でコードブロックの ZERO ビットプレーン数のデータを受け付け、直ちに対応する ZERO-TAG 情報を生成して出力する回路であることを特徴とする画像処理装置。

【請求項 6】 請求項 5 に記載の画像処理装置において、

上記 ZERO-TAG 情報解析部は、レベル 2 及びレベル 3 の全サブバンドのコードブロックの ZERO ビットプレーン数のデータ、レベル 1 の 1 HL のサブバンドの全コードブロックの ZERO ビットプレーン数のデータ、1 LH のサブバンドの全コードブロックの ZERO ビットプレーン数のデータ、並びに、1 HH のサブバンドの全コードブロックの ZERO ビットプレーン数のデータを、所定の順序で入力することにより、直ちに対応する ZERO-TAG 情報を生成して出力する回路であることを特徴とする画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画像データの符号化及び復号化を行う画像処理装置、特に、J P E G 2 0 0 0 に準拠した画像処理装置に関する。

【0002】

【従来の技術】

近年、高精細画像を取り扱うのに適した符号化方法として J P E G 2 0 0 0 が

知られている。J P E G 2 0 0 0 の符号化処理では、画像データを Y、C b、C r の各色成分のデータに変換した後、それぞれのデータに対して周波数解析として 2 次元離散ウェーブレット変換を行う。ウェーブレット変換により得られたウェーブレット係数のデータを、サブバンドを処理単位としてビットプレーンに分割し、サブバンド毎に各ビットプレーンのデータを上位から順に 3 通りの方法によりスキャンして算術符号化を行う。

#### 【0003】

上記算術符号化により生成される符号データから、コードブロック単位で有意データの有無を表すインクルージョン情報、コードブロックの上位に位置する全ビットが 0 であるビットプレーン（以下、Z E R O ビットプレーンという）の数、コーディングパス数、符号のバイト数を調べ、パケットヘッダを生成する。各サブバンド毎に上記パケットヘッダ及び符号データを並べて符号列を形成し、これを画像データを符号化して得られる符号列のデータとして出力する。なお、J P E G 2 0 0 0 の符号化処理については、以下の非特許文献 1 に詳しく説明されている。

#### 【0004】

##### 【非特許文献 1】

「静止画像符号化の新国際標準方式（J P E G 2 0 0 0）の概要」、映像情報メディア学会誌 2 0 0 0 年、V o l . 5 4、N o . 2、p p 1 6 4 - 1 7 1

#### 【0005】

J P E G 2 0 0 0 の標準では、上記コードブロック毎に求めるインクルージョンの有無についての情報を表す方法として T A G という概念を採用している。これは、サブバンド内のコードブロックを 2 × 2 個を 1 組とし、4 個全てのコードブロック全てに有意データが無い時に、その組のコードブロックの T A G を 0 とし、4 個のコードブロックの内 1 つでも有意データを持つ場合には 1 にする。今度は、上記値を特定した T A G を 2 × 2 個を 1 組とし、4 つの全ての T A G が 0 の場合、1 つ上位の T A G を 0 とし、4 つの T A G の内、1 つでも 1 の T A G がある場合には 1 つ上位の T A G を 1 とする。以下同様にして、順に上位の T A G の値を求め、最終的には最上位の 1 つの T A G の値を特定して T A G 情報の解析

を終了する。

#### 【0006】

上記手法により求めたTAG情報に基づけば、最上位のTAGから下位側を見た場合に最初にTAG情報の値が0になっている階層より下位に位置するコードブロックは全て有意データを持たないと判断できる。例えば、復号化処理の1つとして、各サブバンドのコードブロックのパケットヘッダ及び符号データを所定の順序で並べて成る符号列から復号用の符号データの抽出を行う際、TAG情報の値が0になっている階層よりも下位に位置するコードブロックについては、パケットヘッダ内のインクルージョンの有無の情報を参照することなく、符号データを特定することができ、無駄なアクセスを省くことができる。

#### 【0007】

また、JPEG2000の標準では、上記コードブロックのインクルージョンの有無の情報の他、ZEROビットプレーン数の情報を表す方法としてZERO-TAGという概念を採用している。これは、サブバンド内のコードブロックを $2 \times 2$ 個を1組として分割し、各組のZEROビットプレーン数の最小値をその組のZERO-TAGの値とし、各コードブロックのZEROビットプレーンの値を当該値から上記求めた最小値のTAGを差し引いた値に更新する。更に、隣り合う別のコードブロックについて求めた $2 \times 2$ の上記ZERO-TAGの最小値を1つ上位のZERO-TAGの値とし、各ZERO-TAGの値を当該値から1つ上位のZERO-TAGの値を差し引いた値に更新する。以下同様に、順に上位のZERO-TAGの値を求め、最終的には最上位の1つのZERO-TAGの値を特定してZERO-TAG情報の解析を終了する。

#### 【0008】

このようにして求めたZERO-TAGの情報を利用すれば、ZEROビットプレーン数の桁をより低い値に置きかえることができ、符号列のデータ量を低減することができる。

#### 【0009】

#### 【発明が解決しようとする課題】

従来、上記情報の生成処理は、ソフトウェア処理により実現されており、上記

生成したTAG情報及びZERO-TAG情報を記憶するメモリの他に、演算処理装置であるCPU、処理プログラムを格納するメモリ、及び、演算処理などの作業用のメモリを必要としていた。上記インクルージョンの有無やZEROビットプレーン数の情報に基づいて最上位のTAG情報及びZERO-TAG情報を生成するには、全てのサブバンド（各レベル全てのサブバンド）の各コードブロックのインクルージョンの情報及びZEROビットプレーン数の情報を一時的に記憶しておくことが必要である。このためサイズの大きな作業用のメモリを用意することが必要があった。

#### 【0010】

本発明は、従来ソフトウェアにて実現されていたパケットヘッダのインクルージョン情報及びZEROビットプレーン数の情報のTAG情報生成部をハードウェアにて実現したものであって、データの入力に応じて直ちに結果を出力することによりリアルタイム処理が可能で、小型のTAG情報解析回路及びZERO-TAG情報解析回路を備えた画像処理装置を提供することを目的とする。

#### 【0011】

##### 【課題を解決するための手段】

本発明の第1の画像処理装置は、JPEG2000の標準に従い、各サブバンドのコードブロックの有意データの有無を表すインクルージョン情報に基づいてTAG情報を生成するTAG情報解析部を有する画像処理装置であって、上記TAG情報解析部は、全レベルのサブバンドのコードブロックよりも少ない数のコードブロックを単位として、所定の順序でコードブロックのインクルージョン情報を受け付け、直ちに対応するTAG情報のデータを生成して出力する回路であることを特徴とする。

#### 【0012】

本発明の第2の画像処理装置は、上記第1の画像処理装置において、上記TAG情報解析部は、レベル2及びレベル3の全サブバンドのコードブロックのインクルージョン情報、レベル1の1HLのサブバンドの全コードブロックのインクルージョン情報、1LHのサブバンドの全コードブロックのインクルージョン情報、並びに、1HHのサブバンドの全コードブロックのインクルージョン情報を



、所定の順序で入力することにより、直ちに対応するTAG情報を生成して出力する回路であることを特徴とする。

#### 【0013】

本発明の第3の画像処理装置は、上記何れかの画像処理装置において、更に、J P E G 2 0 0 0の標準に従い、各サブバンドのコードブロックの上位に位置する全てのビットデータが0であるビットプレーン（以下、Z E R Oビットプレーンという）の数に基づいてZ E R O-T A G情報を生成して出力するZ E R O-T A G情報解析部であって、全レベルのサブバンドのコードブロックよりも少ない数のコードブロックを単位として、所定の順序でコードブロックのZ E R Oビットプレーン数のデータを受け付け、直ちに対応するZ E R O-T A G情報を生成して出力する回路を備えることを特徴とする。

#### 【0014】

本発明の第4の画像処理装置は、上記第3の画像処理装置において、上記Z E R O-T A G情報解析部は、レベル2及びレベル3の全サブバンドのコードブロックのZ E R Oビットプレーン数のデータ、レベル1の1 H Lのサブバンドの全コードブロックのZ E R Oビットプレーン数のデータ、1 L Hのサブバンドの全コードブロックのZ E R Oビットプレーン数のデータ、並びに、1 H Hのサブバンドの全コードブロックのZ E R Oビットプレーン数のデータを、所定の順序で入力することにより、直ちに対応するZ E R O-T A G情報を生成して出力する回路であることを特徴とする。

#### 【0015】

本発明の第5の画像処理装置は、J P E G 2 0 0 0の標準に従い、各サブバンドのコードブロックの上位に位置する全てのビットデータが0であるビットプレーン（以下、Z E R Oビットプレーンという）の数に基づいてZ E R O-T A G情報を生成して出力するZ E R O-T A G情報解析部を備える画像処理装置であって、上記Z E R O-T A G情報解析部は、全レベルのサブバンドのコードブロックよりも少ない数のコードブロックを単位として、所定の順序でコードブロックのZ E R Oビットプレーン数のデータを受け付け、直ちに対応するT A G情報のデータを生成して出力する回路であることを特徴とする。

## 【0016】

本発明の第6の画像処理装置は、上記第5の画像処理装置において、上記ZERO-TAG情報解析部は、レベル2及びレベル3の全サブバンドのコードブロックのZEROビットプレーン数のデータ、レベル1の1HLのサブバンドの全コードブロックのZEROビットプレーン数のデータ、1LHのサブバンドの全コードブロックのZEROビットプレーン数のデータ、並びに、1HHのサブバンドの全コードブロックのZEROビットプレーン数のデータを、所定の順序で入力することにより、直ちに対応するZERO-TAG情報を生成して出力する回路であることを特徴とする。

## 【0017】

## 【発明の実施の形態】

## (1) 全体構成

以下、添付の図面を用いて実施の形態に係る画像処理装置について説明する。

図1(a)は、実施の形態に係る画像処理装置の符号化処理を行う各処理部のブロック図を示し、図1(b)は、復号化処理を行う各処理部のブロック図を示す。図1(a)に示すように、実施の形態に係る画像処理装置では、JPEG2000に準拠した手順で符号化処理を行う。まず、色変換部1で画像データをY、Cb、Crの各色成分のデータに変換した後、ウェーブレット変換部2において、各色成分のデータに対して周波数解析として2次元離散ウェーブレット変換を行う。算術符号化部3は、ウェーブレット変換により得られたウェーブレット係数のデータ（例えば16ビットデータ）を、サブバンド（たとえば、レベル5のウェーブレット変換の場合、5LL、5HL、5LH、5HH、4HL、4LH、4HH、3HL、3LH、3HH、2HL、2LH、2HH、1HL、1LH、1HH）を処理単位としてビットプレーンに分割し、サブバンド毎に各ビットプレーンのデータを上位から順に3通りの方法によりスキャンして算術符号化を行う。上記3通りの方法は、“significant propagation pass”、“magnitude refinement pass”、“cleanup pass”と呼ばれている。

## 【0018】

レート制御部4では、上記算術符号化により各コードブロック毎に得られるコ

ーディングパスの符号データの内、算術符号化前のウェーブレット係数の下位ビットプレーンに対応する符号データから順に削除（符号データを破棄すること）し、符号量を削減する。レート制御後の符号データは、パケットヘッダ生成部5、インクルージョン情報抽出部6、及び、ZEROビットプレーン数情報抽出部9にそれぞれ出力される。

#### 【0019】

インクルージョン情報抽出部6では、各コードブロックの有意データの有無を調べ、有意データがある場合には1を、無い場合には0をインクルージョン情報Iとして次段のTAG情報解析回路7に出力する。後に詳しく説明するが、TAG情報解析回路7は、全レベルのサブバンドのコードブロックよりも少ない数のコードブロックを単位として、所定の順序でコードブロックのインクルージョン情報を受け付け、直ちに対応するTAG情報を生成し、SRAM8に出力する。

#### 【0020】

ZEROビットプレーン数情報抽出部9は、レート制御後の符号データからコードブロックの上位に位置する全ビットが0であるビットプレーンの数（以下、ZEROビットプレーン数という）を抽出し、ZERO-TAG情報解析回路10に出力する。後に詳しく説明するが、ZERO-TAG情報解析回路10は、全レベルのサブバンドのコードブロックよりも少ない数のコードブロックを単位として、所定の順序でコードブロックのZEROビットプレーン数のデータを受け付け、直ちに対応するZERO-TAG情報を生成し、SRAM8に出力する。

#### 【0021】

パケットヘッダ生成部5は、JPEG2000の標準に従い、SRAM8からTAG情報及びZERO-TAG情報を読み出し、パケットヘッダを生成し、レート制御部4から出力される符号データを所定の順序で並べ、符号列を形成し、これを出力する。

#### 【0022】

図1（b）に示すように、実施の形態に係る画像処理装置では、JPEG2000に準拠した手順で復号化処理を行う。復号化するデータは、JPEG200

0に準拠して生成された符号列のデータであり、サブバンド毎にコードブロックの packets ヘッダ及び符号データが並べられたデータである。当該符号列のデータは、まず、packets ヘッダ解析部 20 において packets ヘッダの部分が抽出される。抽出された packets ヘッダのデータは、インクルージョン情報抽出部 23 及び ZERO ビットプレーン数情報抽出部 26 に出力される。

#### 【0023】

インクルージョン情報抽出部 23 では、コードブロック毎に有意データの有無を調べ、有意データがある場合には 1 を、無い場合には 0 をインクルージョン情報として次段の TAG 情報解析回路 24 に出力する。後に詳しく説明するが、TAG 情報解析回路 24 は、処理単位であるサブバンドのインクルージョン情報の入力に対して直ちに対応する TAG 情報を SRAM 25 に出力する。

#### 【0024】

ZERO ビットプレーン数情報抽出部 26 は、packets ヘッダのデータから ZERO ビットプレーン数を抽出し、ZERO-TAG 情報解析回路 27 に出力する。後に詳しく説明するが、ZERO-TAG 情報解析回路 27 は、処理単位であるサブバンドの ZERO ビットプレーン数の入力に応じて直ちに対応する ZERO-TAG 情報を SRAM 25 に出力する。

#### 【0025】

符号データ抽出部 21 は、JPEG 2000 の標準に従い、SRAM 25 から TAG 情報及び ZERO-TAG 情報を読み出し、当該情報に基づいて、packets ヘッダ解析部 20 を介して入力される符号列のデータより符号データを抽出し、復号部 22 に出力する。復号部 22 は、JPEG 2000 に準拠する復号化処理を行い、復号後の画像データを出力する。

#### 【0026】

##### (2) TAG 情報解析回路

以下、TAG 情報解析回路 7 及び 24 の構成及び動作について説明する。TAG 情報解析回路 7 及び 24 は同じ構成であるため、TAG 情報解析回路 7 について説明する。

#### 【0027】

図2は、画像データに対してレベル5の2次元離散ウェーブレット変換を行った場合に得られる各サブバンドに対応するTAG情報を示す図である。本図において、各コードブロックには、算術符号化処理及びレート制御処理の施される順に0～258の番号を付して示す。以下の説明では、当該番号を用いて各コードブロックを特定する。

#### 【0028】

図2には、更に、 $2 \times 2$ 個のコードブロックを単位として求められる最下位のTAG情報であるT1～T16、上記T1～T16のTAGを $2 \times 2$ 個を1組として求めた最下位より1つ上のTAG情報であるT17～T20、T17～T20のTAGを1組として求めた最上位のTAG情報であるT21を示してある。但し、レベル5及びレベル4の各サブバンドについては、コードブロックのサイズ以下であるため、TAG情報は求めない。このため、最上位のTAG情報であるT21は、レベル1の各サブバンド(1HL、1LH、1HH)についてののみ求める。

#### 【0029】

図3は、TAG情報解析回路7の構成を示す図である。TAG情報解析回路7は、レベル2及びレベル3の全サブバンドのコードブロックのインクルージョン情報、レベル1の1HLのサブバンドの全コードブロックのインクルージョン情報、1LHのサブバンドの全コードブロックのインクルージョン情報、並びに、1HHのサブバンドの全コードブロックのインクルージョン情報を、所定の順序で入力することにより、直ちに対応するTAG情報を生成し、SRAM8に出力する。

#### 【0030】

より具体的には、当該TAG情報解析回路7は、各サブバンドのTAG情報を4回に分けて求め、求めた4つのデータD1～D4(図2を参照)のTAG情報(32ビットデータ)をSRAM8に逐次格納する。これにより、ソフトウェア処理により実現していた時に要していたサイズの大きな作業用のメモリ自体を不用にする。ここで、データD1は、レベル3のサブバンド3HL、3LH、3HHについてのTAG情報T2、T3、T4を求めると共に、レベル2のサブバン

ド 2HL、2LH、2HH について各 4 つ求める TAG 情報 T5～T16、及び上位の TAG 情報 T18、T19 及び T20 で成る。レベル 5 及びレベル 4 のサブバンドはコードブロック 1 個のサイズに満たないため TAG 情報は求めない。データ D2～D4 は、レベル 1 のサブバンド 1HL、1LH、1HH についての TAG 情報 T1～T16、T17～T20 及び T21 で構成される。

### 【0031】

シフトレジスタ 50 には、インクルージョン情報抽出部 6 より出力されるインクルージョン情報 I（コードブロック毎のインクルージョンの有／無を 1／0 で表す 1 ビットデータ）が連続して入力される。シフトレジスタ 50 は、後に説明する比較器 52 より出力される High レベルのイネーブル信号の入力に応じてインクルージョン情報 I の入力を受け、入力されるインクルージョン情報 I を順にシフトしながら内部のレジスタに格納する。シフトレジスタ 50 は、最大 64 個のコードブロックのインクルージョン情報 I を記憶し、各コードブロックのインクルージョン情報 I のデータを次段の接続回路 100 に平行出力する。

### 【0032】

接続回路 100 は、比較器 56 より入力される切換信号の値（High/Low）に応じて、平行に入力される各コードブロックのインクルージョン情報 I の AND ゲート 71～86 への接続内容（レベル 1 のサブバンド用接続／レベル 2～5 のサブバンド用の接続）を切換える。なお、接続回路 100 内部において当該接続内容の切換は、切換信号に応じて動作するセレクトアを用いて行う。

### 【0033】

以下、接続回路 100 における接続内容についてデータ D1～D4 書き込み時に分けて説明する。

#### （a）データ D1 書き込み時

シフトレジスタ 50 に 7 番～66 番のコードブロックのインクルージョン情報 I が入力されている間、接続回路 100 に入力される切換信号は“Low”レベルであり、接続回路 100 は、接続内容をレベル 2～5 のサブバンド用に切り換える。シフトレジスタ 50 に 7 番～66 番のコードブロックのインクルージョン情報 I の入力完了した時、接続回路 100 は、各コードブロックのインクルー

ジョン情報 I を、以下の通り AND ゲート 71～86 に出力する。

【0034】

この場合において、AND ゲート 71 の各信号入力端子に入力されるデータは無い。AND ゲート 72 の各信号入力端子には、順に 7 番～10 番のコードブロックのインクルージョン情報 I が入力される。AND ゲート 73 の各信号入力端子には、順に 11 番～14 番のコードブロックのインクルージョン情報 I が入力される。AND ゲート 74 の各信号入力端子には、順に 15 番～18 番のコードブロックのインクルージョン情報 I が入力される。AND ゲート 75 の各信号入力端子には、順に 19 番、20 番、23 番、24 番のコードブロックのインクルージョン情報 I が入力される。AND ゲート 76 の各信号入力端子には、順に 21 番、22 番、25 番、26 番のコードブロックのインクルージョン情報 I が入力される。AND ゲート 77 の各信号入力端子には、順に 27 番、28 番、31 番、32 番のコードブロックのインクルージョン情報 I が入力される。AND ゲート 78 の各信号入力端子には、順に 29 番、30 番、33 番、34 番のコードブロックのインクルージョン情報 I が入力される。AND ゲート 79 の各信号入力端子には、順に 35 番、36 番、39 番、40 番のコードブロックのインクルージョン情報 I が入力される。AND ゲート 80 の各信号入力端子には、順に 37 番、38 番、41 番、42 番のコードブロックのインクルージョン情報 I が入力される。AND ゲート 81 の各信号入力端子には、順に 43 番、44 番、47 番、48 番のコードブロックのインクルージョン情報 I が入力される。AND ゲート 82 の各信号入力端子には、順に 45 番、46 番、49 番、50 番のコードブロックのインクルージョン情報 I が入力される。AND ゲート 83 の各信号入力端子には、順に 51 番、52 番、55 番、56 番のコードブロックのインクルージョン情報 I が入力される。AND ゲート 84 の各信号入力端子には、順に 53 番、54 番、57 番、58 番のコードブロックのインクルージョン情報 I が入力される。AND ゲート 85 の各信号入力端子には、順に 59 番、60 番、63 番、64 番のコードブロックのインクルージョン情報 I が入力される。AND ゲート 86 の各信号入力端子には、順に 61 番、62 番、65 番、66 番のコードブロックのインクルージョン情報 I が入力される。

## 【0035】

## (b) データ D2 書き込み時

シフトレジスタ 50 に 67 番のコードブロックのインクルージョン情報 I が入力された時点で、接続回路 100 に比較器 56 から入力される切換信号は High レベルに切り換る。これ以降、接続回路 100 は、接続内容をレベル 1 のサブバンド (1HL、1LH、1HH) 用に切り換える。シフトレジスタ 50 に 67 番～130 番のコードブロックのインクルージョン情報 I の入力完了した時、接続回路 100 は、各コードブロックのインクルージョン情報 I を、以下の通り、AND ゲート 71～86 に出力する。

## 【0036】

AND ゲート 71 の各信号入力端子には、順に 67 番、68 番、75 番、76 番のコードブロックのインクルージョン情報 I が入力される。AND ゲート 72 の各信号入力端子には、順に 69 番、70 番、77 番、78 番のコードブロックのインクルージョン情報 I が入力される。AND ゲート 73 の各信号入力端子には、順に 83 番、84 番、91 番、92 番のコードブロックのインクルージョン情報 I が入力される。AND ゲート 74 の各信号入力端子には、順に 85 番、86 番、93 番、94 番のコードブロックのインクルージョン情報 I が入力される。AND ゲート 75 の各信号入力端子には、順に 71 番、72 番、79 番、80 番のコードブロックのインクルージョン情報 I が入力される。AND ゲート 76 の各信号入力端子には、順に 73 番、74 番、81 番、82 番のコードブロックのインクルージョン情報 I が入力される。AND ゲート 77 の各信号入力端子には、順に 87 番、88 番、95 番、96 番のコードブロックのインクルージョン情報 I が入力される。AND ゲート 78 の各信号入力端子には、順に 89 番、90 番、97 番、98 番のコードブロックのインクルージョン情報 I が入力される。AND ゲート 79 の各信号入力端子には、順に 99 番、100 番、107 番、108 番のコードブロックのインクルージョン情報 I が入力される。AND ゲート 80 の各信号入力端子には、順に 101 番、102 番、109 番、110 番のコードブロックのインクルージョン情報 I が入力される。AND ゲート 81 の各信号入力端子には、順に 115 番、116 番、123 番、124 番のコードブロ



ックのインクルージョン情報 I が入力される。ANDゲート 82 の各信号入力端子には、順に 117 番、118 番、125 番、126 番のコードブロックのインクルージョン情報 I が入力される。ANDゲート 83 の各信号入力端子には、順に 103 番、104 番、111 番、112 番のコードブロックのインクルージョン情報 I が入力される。ANDゲート 84 の各信号入力端子には、順に、105 番、106 番、113 番、114 番のコードブロックのインクルージョン情報 I が入力される。ANDゲート 85 の各信号入力端子には、順に 119 番、120 番、127 番、128 番のコードブロックのインクルージョン情報 I が入力される。ANDゲート 86 の各信号入力端子には、順に 121 番、122 番、129 番、130 番のコードブロックのインクルージョン情報 I が入力される。

#### 【0037】

(c) データ D3 書き込み時

シフトレジスタ 50 への 131 番～194 番のコードブロックのインクルージョン情報 I の入力完了した時、上記データ D3 の生成及び出力が行われる。この時、接続回路 100 は、シフトレジスタ 50 から平行に出力される各コードブロックのインクルージョン情報 I を、以下の通り、ANDゲート 71～86 に出力する。

#### 【0038】

ANDゲート 71 の各信号入力端子には、順に 131 番、132 番、139 番、140 番のコードブロックのインクルージョン情報 I が入力される。ANDゲート 72 の各信号入力端子には、順に 133 番、134 番、141 番、142 番のコードブロックのインクルージョン情報 I が入力される。ANDゲート 73 の各信号入力端子には、順に 147 番、148 番、155 番、156 番のコードブロックのインクルージョン情報 I が入力される。ANDゲート 74 の各信号入力端子には、順に 149 番、150 番、157 番、158 番のコードブロックのインクルージョン情報 I が入力される。ANDゲート 75 の各信号入力端子には、順に 135 番、136 番、143 番、144 番のコードブロックのインクルージョン情報 I が入力される。ANDゲート 76 の各信号入力端子には、順に 137 番、138 番、145 番、146 番のコードブロックのインクルージョン情報 I

が入力される。ANDゲート77の各信号入力端子には、順に151番、152番、159番、160番のコードブロックのインクルージョン情報Iが入力される。ANDゲート78の各信号入力端子には、順に153番、154番、161番、162番のコードブロックのインクルージョン情報Iが入力される。ANDゲート79の各信号入力端子には、順に163番、164番、171番、172番のコードブロックのインクルージョン情報Iが入力される。ANDゲート80の各信号入力端子には、順に165番、166番、173番、174番のコードブロックのインクルージョン情報Iが入力される。ANDゲート81の各信号入力端子には、順に179番、180番、187番、188番のコードブロックのインクルージョン情報Iが入力される。ANDゲート82の各信号入力端子には、順に181番、182番、189番、190番のコードブロックのインクルージョン情報Iが入力される。ANDゲート83の各信号入力端子には、順に167番、168番、175番、176番のコードブロックのインクルージョン情報Iが入力される。ANDゲート84の各信号入力端子には、順に、169番、170番、177番、178番のコードブロックのインクルージョン情報Iが入力される。ANDゲート85の各信号入力端子には、順に183番、184番、191番、192番のコードブロックのインクルージョン情報Iが入力される。ANDゲート86の各信号入力端子には、順に185番、186番、193番、194番のコードブロックのインクルージョン情報Iが入力される。

#### 【0039】

##### (d) データD4書き込み時

シフトレジスタ50に195番～258番のコードブロックのインクルージョン情報Iの入力が完了した時、上記データD4の出力が行われる。この時、接続回路100は、シフトレジスタ50から平行に出力される各コードブロックのインクルージョン情報Iを、以下の通り、ANDゲート71～86に出力する。

#### 【0040】

ANDゲート71の各信号入力端子には、順に195番、196番、203番、204番のコードブロックのインクルージョン情報Iが入力される。ANDゲ

ート72の各信号入力端子には、順に197番、198番、205番、206番のコードブロックのインクルージョン情報Iが入力される。ANDゲート73の各信号入力端子には、順に211番、212番、219番、220番のコードブロックのインクルージョン情報Iが入力される。ANDゲート74の各信号入力端子には、順に213番、214番、221番、222番のコードブロックのインクルージョン情報Iが入力される。ANDゲート75の各信号入力端子には、順に199番、200番、207番、208番のコードブロックのインクルージョン情報Iが入力される。ANDゲート76の各信号入力端子には、順に201番、202番、209番、210番のコードブロックのインクルージョン情報Iが入力される。ANDゲート77の各信号入力端子には、順に215番、216番、223番、224番のコードブロックのインクルージョン情報Iが入力される。ANDゲート78の各信号入力端子には、順に217番、218番、225番、226番のコードブロックのインクルージョン情報Iが入力される。ANDゲート79の各信号入力端子には、順に227番、228番、235番、236番のコードブロックのインクルージョン情報Iが入力される。ANDゲート80の各信号入力端子には、順に229番、230番、237番、238番のコードブロックのインクルージョン情報Iが入力される。ANDゲート81の各信号入力端子には、順に243番、244番、251番、252番のコードブロックのインクルージョン情報Iが入力される。ANDゲート82の各信号入力端子には、順に245番、246番、253番、254番のコードブロックのインクルージョン情報Iが入力される。ANDゲート83の各信号入力端子には、順に231番、232番、239番、240番のコードブロックのインクルージョン情報Iが入力される。ANDゲート84の各信号入力端子には、順に、233番、234番、241番、242番のコードブロックのインクルージョン情報Iが入力される。ANDゲート85の各信号入力端子には、順に247番、248番、255番、256番のコードブロックのインクルージョン情報Iが入力される。ANDゲート86の各信号入力端子には、順に249番、250番、257番及び258番のコードブロックのインクルージョン情報Iが入力される。

【0041】

上述したデータD1～D4の書き込みに対応して、ANDゲート71、72、73及び74の出力は、それぞれデータD生成部92にTAG情報T1～T4として入力される他、4入力ANDゲート87の各信号入力端子に入力される。ANDゲート75、76、77及び78の出力は、それぞれデータD生成部92にTAG情報T5～T8として入力される他、4入力ANDゲート88の各信号入力端子に入力される。ANDゲート79、80、81及び82の出力は、それぞれデータD生成部92にTAG情報T9～T12として入力される他、4入力ANDゲート89の各信号入力端子に入力される。ANDゲート83、84、85及び86の出力は、それぞれデータD生成部92にTAG情報T13～T16として入力される他、4入力ANDゲート90の各信号入力端子に入力される。

#### 【0042】

ANDゲート87、88、89及び90の出力は、それぞれデータD生成部92にTAG情報T17～T20として入力される他、4入力ANDゲート91の各信号入力端子に入力される。ANDゲート91の出力は、データD生成部92にTAG情報T21として入力される。

#### 【0043】

インクルージョン情報Iは、シフトレジスタ50に入力される他、コードブロックカウンタ51にも入力される。コードブロックカウンタ51は、各1ビットのインクルージョン情報Iの入力に応じてカウントアップを行い、シフトレジスタ50にインクルージョン情報Iの入力されたコードブロック数をカウントする。

#### 【0044】

コードブロックカウンタ51の出力は、比較器52の一方の信号入力端子に入力される。比較器52の残りの信号入力端子にはカウント値6のセットされたレジスタ53が接続されている。比較器52は、コードブロックカウンタ51から入力されるカウント値が7以上になった場合にHighレベルのイネーブル信号をシフトレジスタ50及びアドレス指定回路54のイネーブル端子に入力する。シフトレジスタ50の動作に付いては既述した。アドレス指定回路54は、当該イネーブル信号の入力に応じて始動し、データD1の書き込みアドレス信号をS

RAM8に出力する。アドレス指定回路54は、以下に説明するように、ANDゲート58、62、66及び70よりデータD1、D2、D3、D4用のインクルージョン情報Iの書き込み完了毎に出力されるパルス信号をアドレス切換信号として受取り、SRAM8に出力するアドレス信号をデータD2用、データD3用、データD4用、再びデータD1用と順に切り換える。

#### 【0045】

コードブロックカウンタ51の出力は、比較器56、60、64及び68の一方の信号入力端子にも入力される。比較器56の残りの信号入力端子にはカウント値66のセットされたレジスタ55が接続されている。比較器60の残りの信号入力端子にはカウント値130のセットされたレジスタ59が接続されている。比較器64の残りの信号入力端子にはカウント値194のセットされたレジスタ63が接続されている。比較器68の残りの信号入力端子にはカウント値258のセットされたレジスタ67が接続されている。

#### 【0046】

比較器56は、コードブロックカウンタ51から入力されるカウント値が67以上になった場合にHighレベルの信号を出力する。比較器56の出力は、2入力ANDゲート58の一方の信号入力端子にそのままの状態を入力されると共に、3段のインバータを直列に接続して成る遅延回路57を介して上記ANDゲート58の残りの信号入力端子に入力されている。当該ANDゲート58は、Highレベルの信号入力に応じて、アドレス指定回路54のアドレス切換信号入力端子に1回だけパルス信号を出力する。

#### 【0047】

比較器60は、コードブロックカウンタ51から入力されるカウント値が131以上になった場合にHighレベルの信号を出力する。比較器60の出力は、2入力ANDゲート62の一方の信号入力端子にそのままの状態を入力されると共に、3段のインバータを直列に接続して成る遅延回路61を介して上記ANDゲート62の残りの信号入力端子に入力されている。当該ANDゲート62は、Highレベルの信号入力に応じて、アドレス指定回路54のアドレス切換信号入力端子に1回だけパルス信号を出力する。

## 【0048】

比較器64は、コードブロックカウンタ51から入力されるカウント値が195以上になった場合にHighレベルの信号を出力する。比較器64の出力は、2入力ANDゲート66の一方の信号入力端子にそのままの状態を入力されると共に、3段のインバータを直列に接続して成る遅延回路65を介して上記ANDゲート66の残りの信号入力端子に入力されている。当該ANDゲート66は、Highレベルの信号入力に応じて、アドレス指定回路54のアドレス切換信号入力端子に1回だけパルス信号を出力する。

## 【0049】

比較器68は、コードブロックカウンタ51から入力されるカウント値が258を越えた場合にHighレベルの信号を出力する。比較器68の出力は、2入力ANDゲート70の一方の信号入力端子にそのままの状態を入力されると共に、3段のインバータを直列に接続して成る遅延回路69を介して上記ANDゲート70の残りの信号入力端子に入力されている。当該ANDゲート70は、Highレベルの信号入力に応じて、アドレス指定回路54のアドレス切換信号入力端子に1回だけパルス信号を出力する。

## 【0050】

上述するように、ANDゲート58、62、66及び70からは、シフトレジスタ50にインクルージョン情報Iの入力されたコードブロックの数が67個、131個、195個になった時に、パルス信号が出力される。当該パルス信号は上述したようにアドレス指定回路54に出力される他、データD生成部92において生成したデータD1～D4の出力を要求する信号として入力される。

## 【0051】

データD生成部92は、各ANDゲートより出力されたTAG情報T1～T21を先頭ビットより並べ、22ビット目からは11ビット分の0データを付加して成る32ビットのデータD1～D4を生成する。データD生成部92は、上記ANDゲート58、62、66及び70からのパルス信号の入力に応じてデータD1～D4をSRAM8に出力する。SRAM8は、アドレス指定回路54により指定されるアドレスに、信号生成部92より出力される32ビットのデータD

1～D4を記憶する。

#### 【0052】

図4(a)～(d)は、JPEG2000の標準に従い、SRAM8に格納されたレベル1のサブバンド1HLについてのTAG情報のデータD2の利用方法を説明するための図である。本図では、TAG情報の値が1の場合に、そのTAGを求めたインクルージョン情報Iを有するコードブロックを斜線を付して表す。図4(a)に示すように、最上位に位置するTAG情報T21が1の場合、当該サブバンドには有効データを有するコードブロックが少なくとも1つあると判断できる。次に、TAG情報T21の下位に位置するT17～T20の値を調べる。図4(b)に示すように、T17及びT20が1の場合、斜線で示す2つの領域内に有効データを有するコードブロックが存在することがわかる。他方、T18及びT19の領域には、有効データを持つコードブロックが存在しないことがわかる。これにより、更に下位のTAG情報及びパケット情報のインクルージョン情報Iを確認する必要がなくなる。

#### 【0053】

TAG情報T17及びT20の下位に位置するT1～T4、T13～T16の値を調べる。図4(c)に示すように、T1、T2、T3、T14及びT15が1の場合、斜線で示す5つの領域内に有効データを有するコードブロックが存在することがわかる。他方、T4、T13及びT16の領域には、有効データを持つコードブロックが存在しないことがわかる。これにより、更に下位のTAG情報及びパケット情報のインクルージョン情報Iを確認する必要がなくなる。

#### 【0054】

ここで初めて、TAG情報T1、T2、T3、T14及びT15の下位に位置する各コードブロックのインクルージョン情報Iを調べる。これにより、67、68、69、70、75、78、83、91、92、105、106、114、119、127及び128のコードブロックに有効なデータが存在することがわかる。従って、符号データの抽出処理において、これらのコードブロックについてのみZEROビットプレーン数のデータ抽出処理を行えばよいことになり、処理データ量の大幅な低減を図ることができる。

## 【0055】

## (6) ZERO-TAG情報解析回路

以下、ZERO-TAG情報解析回路10及び27の構成及び動作について説明する。ZERO-TAG情報解析回路10及び27は同じ構成であるため、以下、ZERO-TAG情報解析回路10について説明する。

## 【0056】

図5は、ZERO-TAG情報解析回路10の実行する処理内容を説明するための図である。図5(a)に示すように2×2個のコードブロックのZEROビットプレーン数が5、6、4及び8である場合、ZERO-TAG情報Tの値を各ZEROビットプレーン数の最小値4とし、各コードブロックのZEROビットプレーン数を上記最小値4を差し引いた値に更新する。

## 【0057】

上記解析処理を実行することにより、各コードブロックのZEROビットプレーン数を、実際の処理単位である2進数表示したときの桁数を減少させる。図5で示した例では、3ビット(5<sub>10</sub>=101<sub>2</sub>) + 3ビット(6<sub>10</sub>=110<sub>2</sub>) + 3ビット(4<sub>10</sub>=100<sub>2</sub>) + 4ビット(8<sub>10</sub>=1000<sub>2</sub>) = 12ビットから、3ビット(4<sub>10</sub>=100<sub>2</sub>)のZERO-TAG情報+1ビット(110=1<sub>2</sub>) + 2ビット(2<sub>10</sub>=10<sub>2</sub>) + 1ビット(0<sub>10</sub>=0<sub>2</sub>) + 3ビット(4<sub>10</sub>=100<sub>2</sub>) = 11ビットに減少することができる。実際には同様の処理を2×2個のZERO-TAG情報に施して順に上位のZERO-TAG情報を求めることにより、更にZEROビットプレーン数を表す情報のデータ量削減を行うことができる。

## 【0058】

図6は、ZERO-TAG情報解析回路10の構成を示す図である。ZERO-TAG情報解析回路10は、レベル2及びレベル3の全サブバンドのコードブロックのZEROビットプレーン数のデータ、レベル1の1HLのサブバンドの全コードブロックのZEROビットプレーン数のデータ、1LHのサブバンドの全コードブロックのZEROビットプレーン数のデータ、並びに、1HHのサブバンドの全コードブロックのZEROビットプレーン数のデータを、所定の順序



で入力することにより、直ちに対応する ZERO-TAG 情報を生成し、SRAM8 に出力する。

#### 【0059】

より具体的には、ZERO-TAG 情報解析回路 10 は、先に説明した TAG 情報解析回路 7 と同様に、各サブバンドの ZERO-TAG 情報を 4 回に分けて求め、求めた 4 つのデータ ZD1 ~ ZD4 (図 2 に示す TAG 情報のデータ D1 ~ D4 に対応する) の ZERO-TAG 情報及びデータ量の削減された ZERO ビットプレーン数のデータを SRAM8 に逐次格納する。これにより、ソフトウェア処理により実現していた時に要していたサイズの大きな作業用のメモリ自体を不用にする。

#### 【0060】

ここで、データ ZD1 は、レベル 3 のサブバンド 3HL、3LH、3HH についての ZERO-TAG 情報 ZT2、ZT3、ZT4 と、レベル 2 のサブバンド 2HL、2LH、2HH について各 4 つ求める ZERO-TAG 情報 ZT5 ~ ZT16、上位の ZERO-TAG 情報 ZT18、ZT19 及び ZT20、更には、7 番 ~ 66 番のコードブロックのデータ量削減後の ZERO ビットプレーン数のデータ D2.1 ~ D2.4、D3.1 ~ D3.4、…、D16.0 ~ D16.4、演算回路 215、216、217、218、219 より出力されるデータ量削減後の ZERO-TAG 情報 D17.1 ~ D17.4、D21.1 ~ D21.4 で構成される。

#### 【0061】

レベル 5 及びレベル 4 のサブバンドはコードブロック 1 個のサイズに満たないため ZERO-TAG 情報は求めない。データ ZD2 ~ ZD4 は、レベル 1 のサブバンド 1HL、1LH、1HH についての ZERO-TAG 情報 ZT1 ~ ZT16、ZT17 ~ ZT20 及び ZT21、更には、それぞれ 67 番 ~ 130 番、131 番 ~ 194 番、195 番 ~ 258 番のコードブロックのデータ量削減後の ZERO ビットプレーン数のデータ D2.1 ~ D2.4、D3.1 ~ D3.4、…、D16.0 ~ D16.4、演算回路 215、216、217、218、219 より出力されるデータ量削減後の ZERO-TAG 情報 D17.1 ~ D17.4。

4、D21.1～D21.4で構成される。

#### 【0062】

先に説明したTAG情報解析回路7と同じ構成物には、同じ参照番号を付して表し、ここでの重複した説明は省く。

#### 【0063】

ZERO-TAG情報解析回路10とTAG情報解析回路7を比較した場合、処理内容の違いより、TAG情報解析回路7が備えるANDゲート71～91の代わりに演算回路200～219が設けられる。演算回路200～219の構成は同じである。演算回路200～219は、演算により求めたZERO-TAG情報の値(ZT1～ZT21)の他に、各演算回路より出力されるデータ量削減後のZEROビットプレーン数又はZERO-TAG情報の値(D1.1～D1.4、D2.1～D2.4、…D21.1～D21.4)をデータZD生成部220(TAG情報解析回路7のデータD生成部92に相当する。)に出力する。

#### 【0064】

データZD生成部220は、各演算回路より出力されるZERO-TAG情報の値(ZT1～ZT21)、及び、データ量削減後のZEROビットプレーン数又はZERO-TAG情報の値(D1.1～D1.4、D2.1～D2.4、…D21.1～D21.4)を、SRAM8のアドレス指定回路54'により指定されるアドレスに書きこむ。アドレス指定回路54'は、ANDゲート58、62、66、70より出力されるパルス信号の入力に応じて書き込み用のアドレスを、データZD1用、データZD2用、データZD3用、データZD4用に切り換えてSRAM8に出力する。

#### 【0065】

図7は、演算回路200の構成を示す図である。演算回路200は、データZD2、D3、D4を求める時に使われる。例えば、データZD2を求める際、それぞれ2入力1出力型のセクタ200b及び200dには、図示するように67番、68番、75番、76番のコードブロックのZEROビットプレーン数(以下、説明の便宜のため文書中でZP67、ZP68、ZP75、ZP76と記す)のデータが入力される。

#### 【0066】

Z P 6 7 及び Z P 6 8 は、比較器 2 0 0 a に入力される。比較器 2 0 0 a は、Z P 6 8 よりも Z P 6 7 が大きい場合 H i g h レベルの比較結果信号を、Z P 6 8 よりも Z P 6 7 が小さい場合に L o w レベルの比較結果信号をセクタ 2 0 0 b の信号選択端子に出力する。セクタ 2 0 0 b は、比較器 2 0 0 a より入力される比較結果信号が H i g h レベルの場合には Z P 6 8 を、L o w レベルの場合には Z P 6 7 を出力する。

#### 【0067】

Z P 7 5 及び Z P 7 6 は、比較器 2 0 0 c に入力される。比較器 2 0 0 c は、Z P 7 5 よりも Z P 7 6 が大きい場合 H i g h レベルの比較結果信号を、Z P 7 5 よりも Z P 7 6 が小さい場合に L o w レベルの比較結果信号をセクタ 2 0 0 d の信号選択端子に出力する。セクタ 2 0 0 d は、比較器 2 0 0 c より入力される比較結果信号が H i g h レベルの場合には Z P 7 6 を、L o w レベルの場合には Z P 7 5 を出力する。

#### 【0068】

セクタ 2 0 0 b 及びセクタ 2 0 0 d より出力される信号は、比較器 2 0 0 e 及びセクタ 2 0 0 f に入力される。比較器 2 0 0 e は、セクタ 2 0 0 b より出力されたデータの値よりもセクタ 2 0 0 d より出力されたデータの値が大きい場合には H i g h レベルの比較結果信号を、逆の場合には L o w レベルの比較結果信号をセクタ 2 0 0 f の信号選択端子に出力する。セクタ 2 0 0 f は、比較器 2 0 0 e より入力される比較結果信号が H i g h レベルの場合にはセクタ 2 0 0 d より入力されたデータを、L o w レベルの場合にはセクタ 2 0 0 b より入力されたデータを Z E R O - T A G 情報のデータ値 Z T 1 として出力する。

#### 【0069】

演算器 2 0 0 g は、Z P 6 7 より上記データ値 Z T 1 を差し引いた値を求め、これを 6 7 番のコードブロックのデータ量削減後の Z E R O ビットプレーン数 D 1. 1 として出力する。演算器 2 0 0 h は、Z P 6 8 より上記データ値 Z T 1 を差し引いた値を求め、これを 6 8 番のコードブロックのデータ量減後の Z E R O ビットプレーン数 D 1. 2 として出力する。演算器 2 0 0 i は、Z P 7 5 より上

記データ値 Z T 1 を差し引いた値を求め、これを 75 番のコードブロックのデータ量削減後の Z E R O ビットプレーン数 D 1 . 3 として出力する。演算器 200 j は、Z P 76 より上記データ値 Z T 1 を差し引いた値を求め、これを 76 番のコードブロックのデータ量減後の Z E R O ビットプレーン数 D 1 . 4 として出力する。

#### 【0070】

なお、セクタ 200 b 及び 200 d には、データ Z D 3 を求める際には、67 番の代わりに 131 番、68 番の代わりに 132 番、75 番の代わりに 139 番、76 番の代わりに 140 番のコードブロックの Z E R O ビットプレーン数のデータが入力される。また、データ Z D 4 を求める際には、67 番の代わりに 195 番、68 番の代わりに 196 番、75 番の代わりに 203 番、76 番の代わりに 204 番のコードブロックの Z E R O ビットプレーン数のデータが入力される。

#### 【0071】

図 8 は、J P E G 2000 の標準に従い、上述した T A G 情報解析回路 7 及び Z E R O - T A G 情報解析回路 10 により生成された T A G 情報、Z E R O - T A G 情報及びデータ量削減後の Z E R O ビットプレーン数のデータを備えたパケットヘッダ及び符号データでなる符号列を示す図である。図示するように各情報は、処理を行うコードブロックの最初の番号のパケットヘッダの前に挿入される。例えば、7 番のコードブロックのパケットヘッダの前には、7 番～10 番のコードブロックの T A G 情報 T 2、Z E R O - T A G 情報 Z T 2 のデータが置かれる。また、19 番目のコードブロックのパケットヘッダの前には、T A G 情報 T 18、Z E R O - T A G 情報 Z T 18、更新された Z E R O ビットプレーン数 D 18 . 1 ~ D 18 . 4、T A G 情報 T 5、Z E R O - T A G 情報 Z T 5 のデータが置かれる。

#### 【0072】

##### 【発明の効果】

本発明の画像処理装置では、全レベルのサブバンドのコードブロックよりも少ない数のコードブロックを単位として、所定の順序でコードブロックのインクル

ージョン情報及び／又はZEROビットプレーン数のデータを受け付け、直ちに  
対応する回路で成るTAG情報解析部及び／又はZERO-TAG情報解析部を  
備えることで、従来、ソフトウェア処理で実現していた時のように、全サブバン  
ドのコードブロックのインクルージョン情報及び／又はZEROビットプレーン  
数の情報を記憶しておく大きなサイズの作業用メモリを不要とし、かつ、リアル  
タイムなTAG情報及び／又はZERO-TAG情報の作成が可能になる。

【図面の簡単な説明】

【図1】 (a) は、画像処理装置の符号化処理を行う部分のブロック構成  
図であり、(b) は、復号化処理を行う部分のブロック構成図である。

【図2】 TAG情報解析回路により生成されるTAG情報を示す図である

。

【図3】 TAG情報解析回路の構成図である。

【図4】 (a) ~ (d) は、TAG情報を用いたコードブロックのインク  
ルージョン情報取得手法について説明するための図である。

【図5】 ZERO-TAG情報の説明を行うための図である。

【図6】 ZERO-TAG情報解析回路の構成図である。

【図7】 演算回路の構成図である。

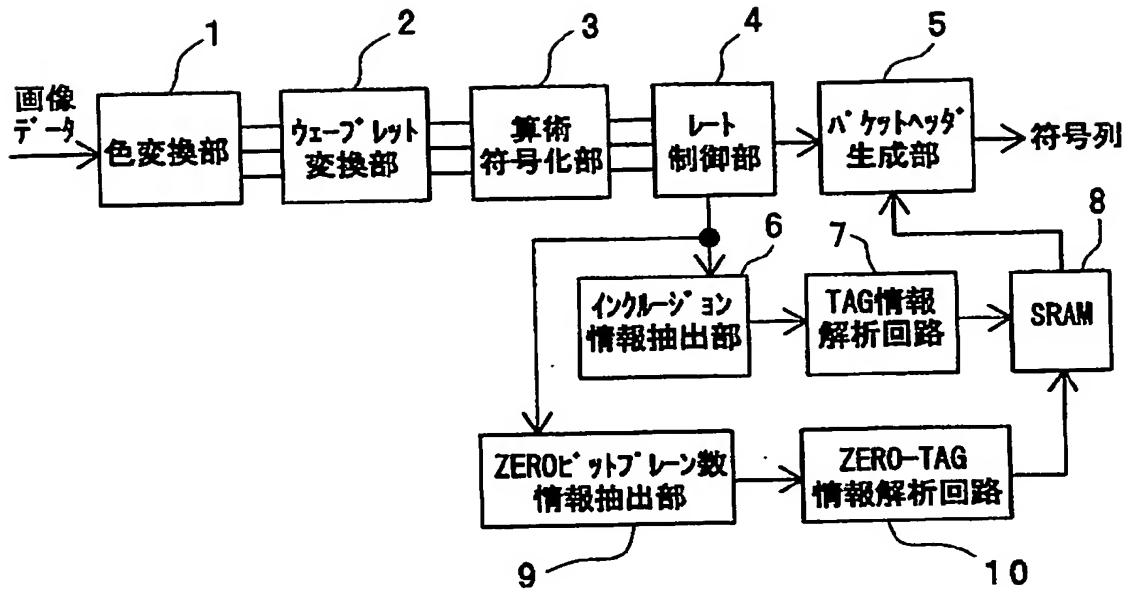
【図8】 TAG情報及びZERO-TAG情報等を有するパケット情報及  
び符号データで成る符号列の構成を示す図である。

【符号の説明】 7, 24 TAG情報解析回路、8 SRAM、10, 2  
7 ZERO-TAG情報解析回路、50 シフトレジスタ、51 コードブロ  
ックカウンタ、52, 56, 60, 64, 68 比較器、53, 55, 59, 6  
3, 67 レジスタ、54 アドレスして回路、57, 61, 65, 69 遅延  
回路、58, 62, 66, 70 2入力ANDゲート、71~91 4入力AN  
Dゲート、92 データD生成部、100 接続回路、200~219 演算回  
路。

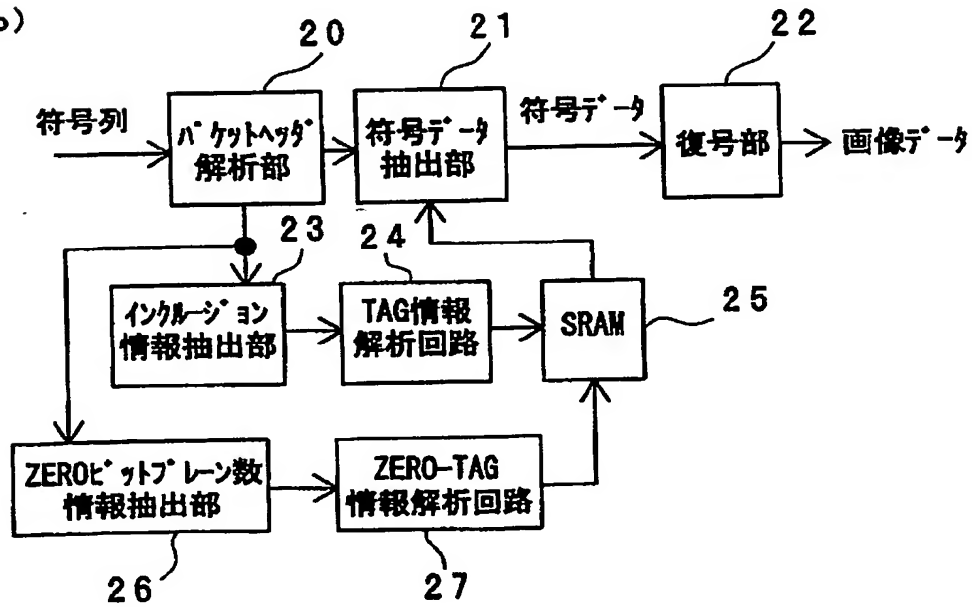
【書類名】 図面

【図 1】

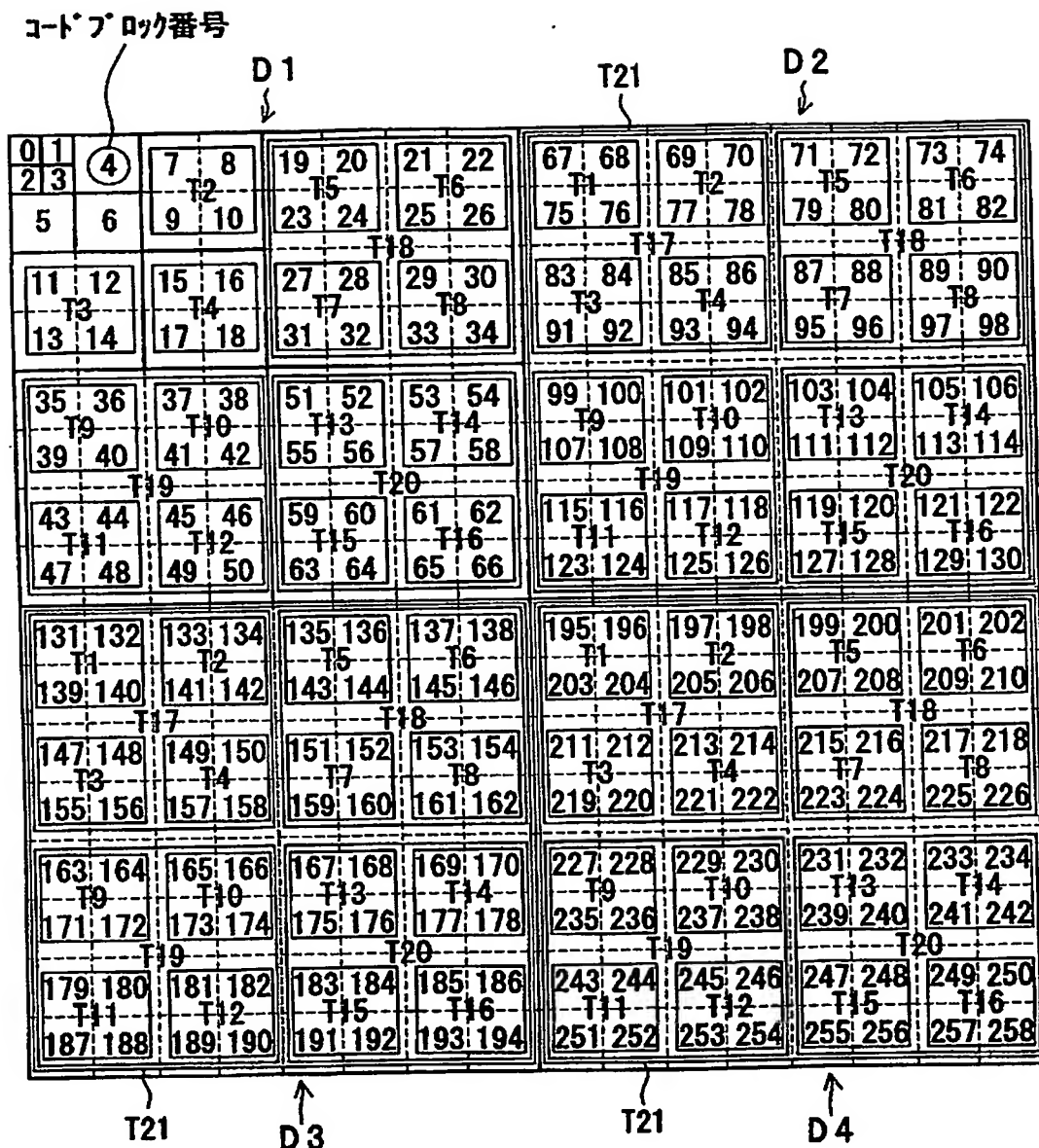
(a)



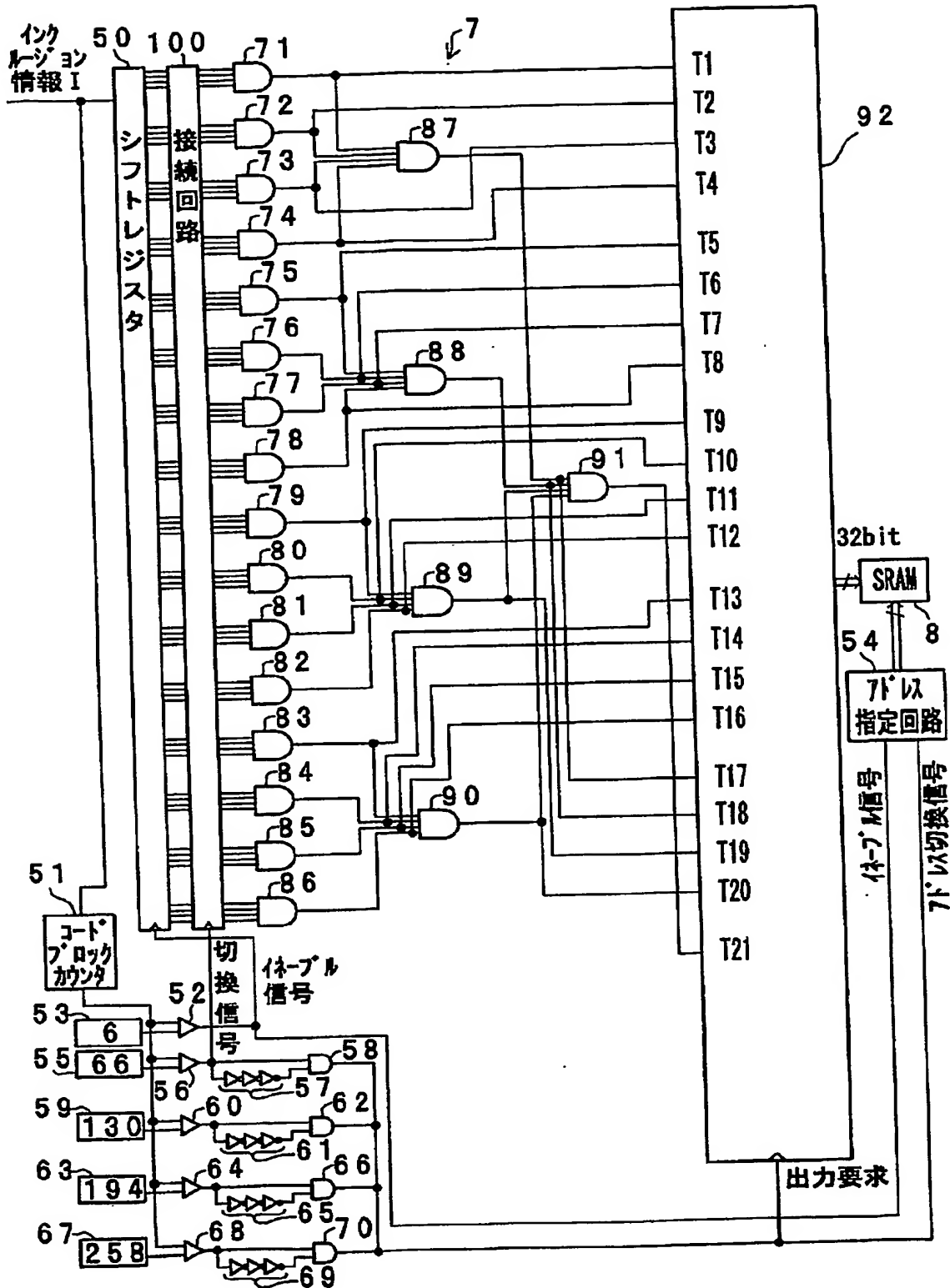
(b)



【図 2】



【図 3】

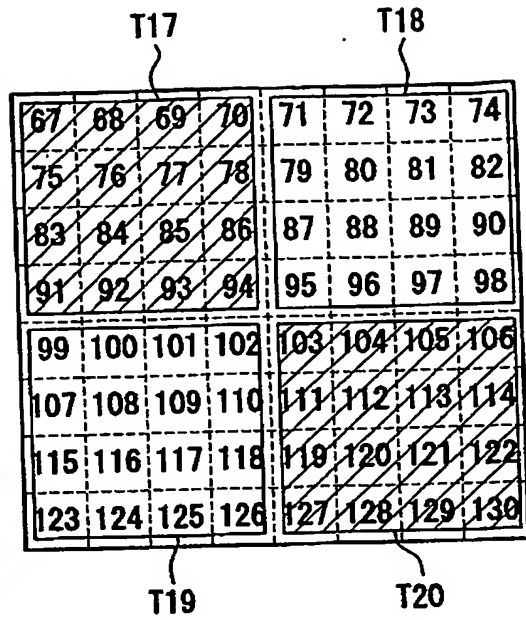
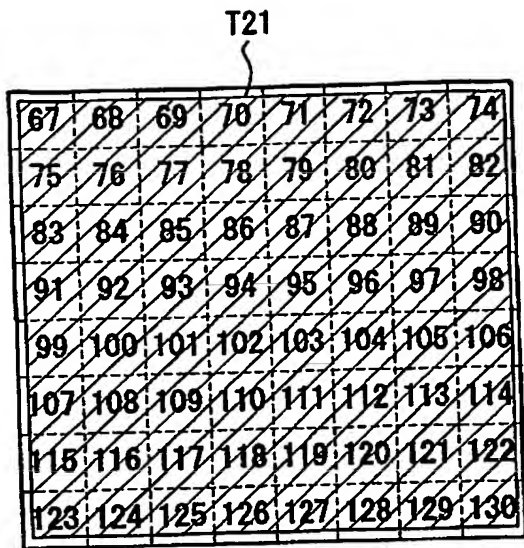




【図 4】

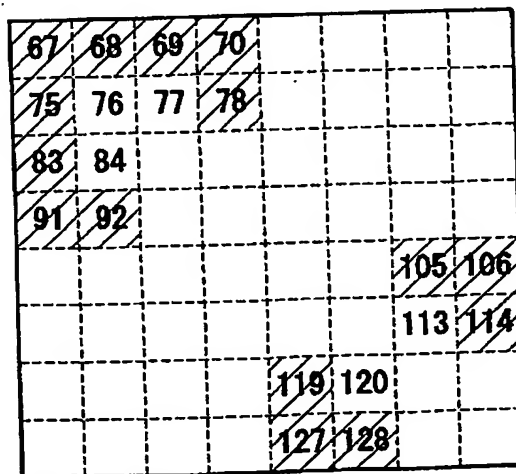
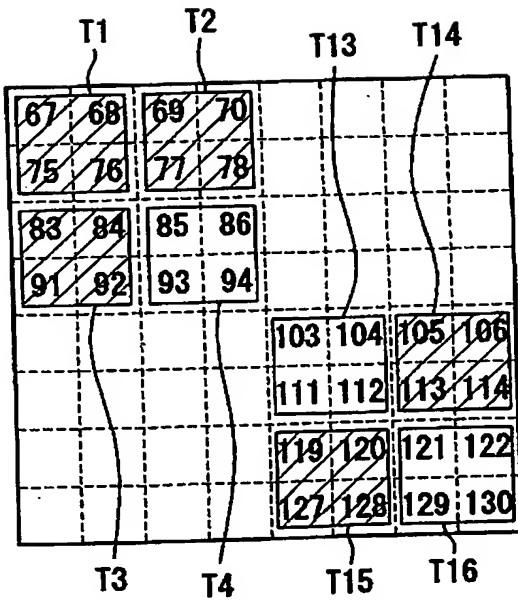
(a)

(b)

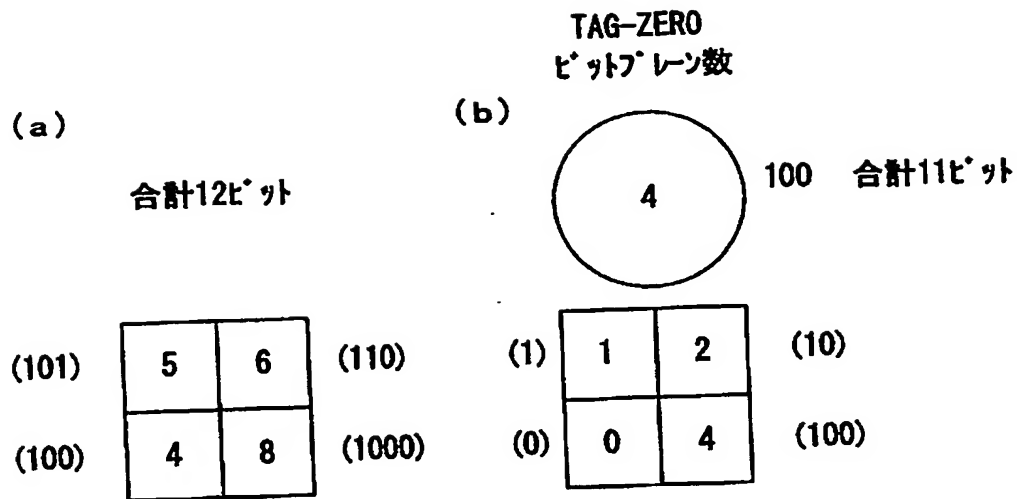


(c)

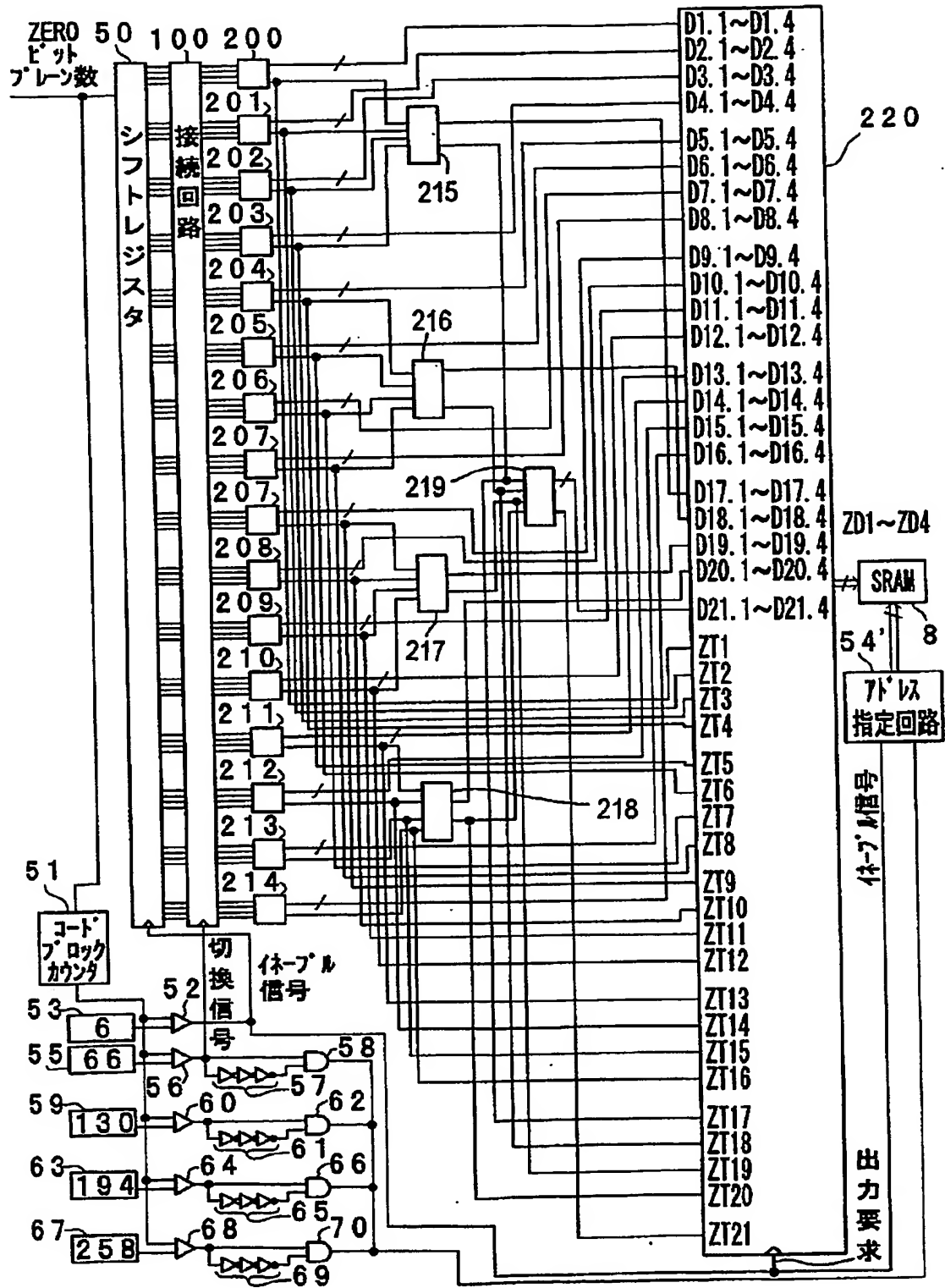
(d)



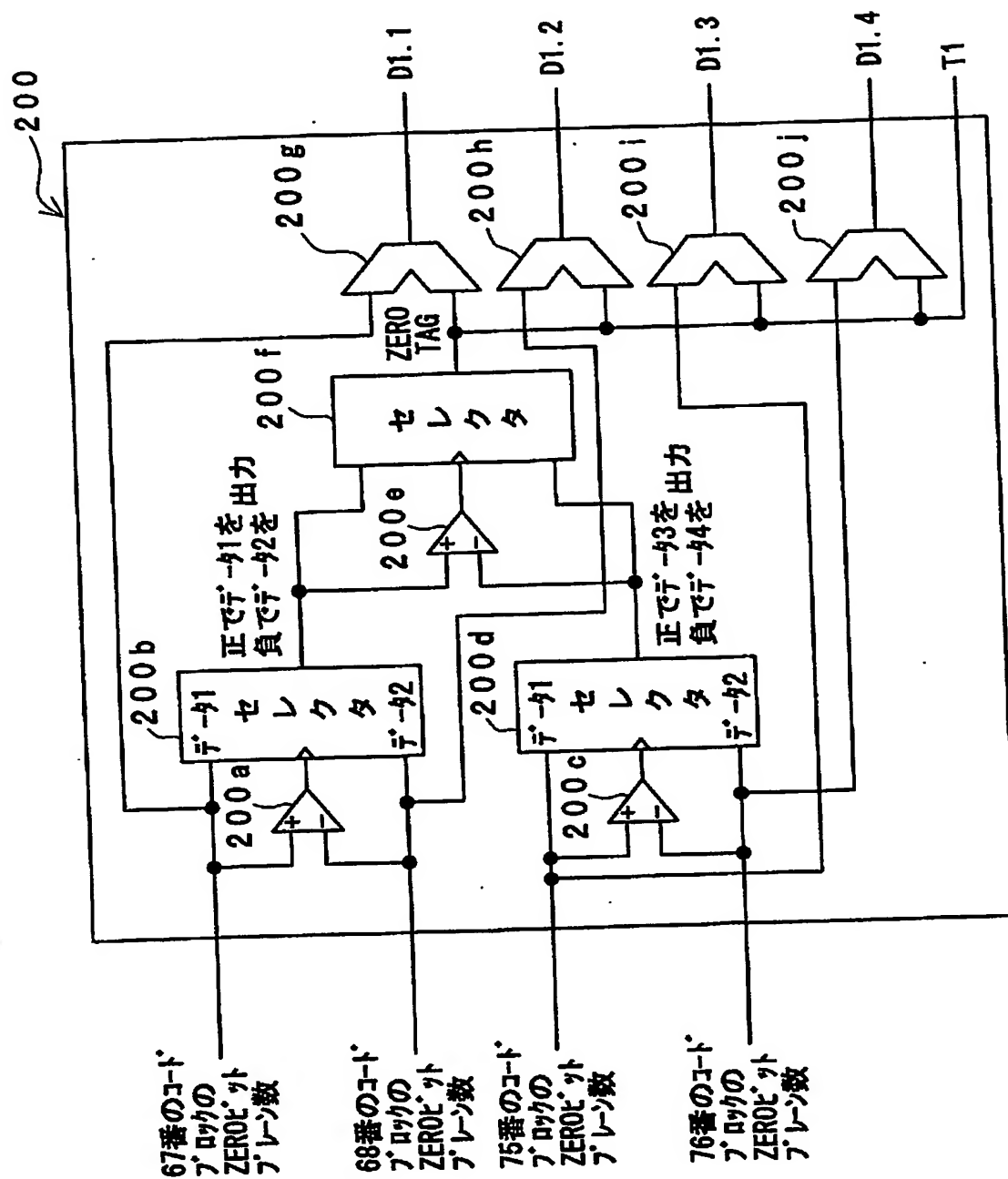
【図 5】



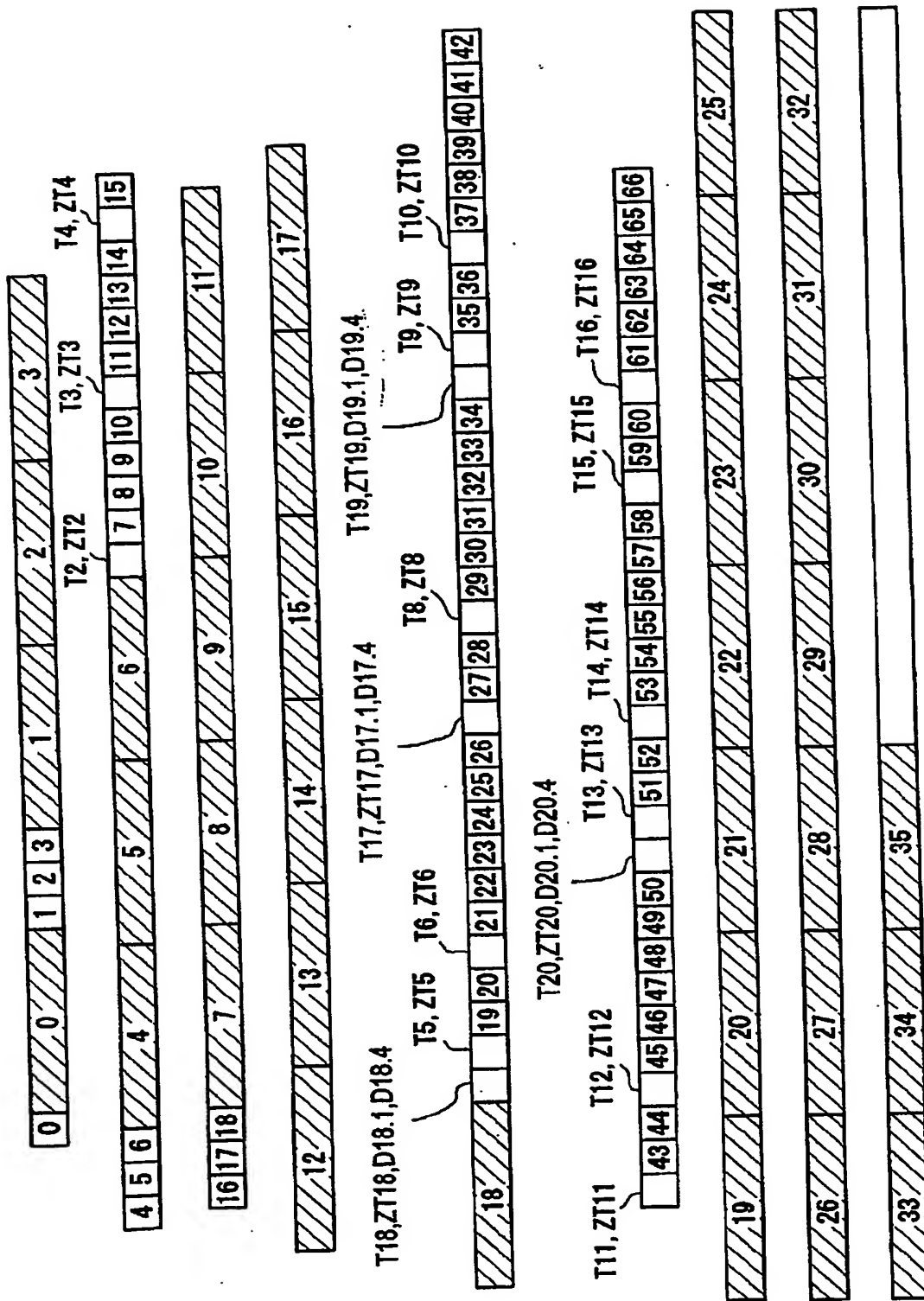
【図 6】



【図 7】



【图 8】



【書類名】 要約書

【要約】

【課題】 リアルタイム処理が可能で、小型のTAG情報及び／又はZERO-TAG情報の解析部を備える画像処理装置を提供する。

【解決手段】 本発明の画像処理装置は、JPEG2000の標準に従い、各サブバンドのコードブロックの有意データの有無を表すインクルージョン情報に基づいてTAG情報を生成するTAG情報解析部及び／又はZERO-TAG情報解析部を有する画像処理装置であって、上記TAG情報解析部及び／又はZERO-TAG情報解析部は、全レベルのサブバンドのコードブロックよりも少ない数のコードブロックを単位として、所定の順序でコードブロックのインクルージョン情報及び／又はZEROビットプレーン数のデータを受け付け、直ちに対応するTAG情報及び／又はZERO-TAG情報を生成して出力する回路であることを特徴とする。

【選択図】 図3

特願 2003-090825

出願人履歴情報

識別番号

[000006747]

1. 変更年月日

[変更理由]

住所

氏名

2002年 5月17日

住所変更

東京都大田区中馬込1丁目3番6号

株式会社リコー

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant:

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**